

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Shigeki KOMORI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: MANUFACTURING METHOD OF A SEMICONDUCTOR DEVICE CAPABLE OF ACCURATELY  
SETTING A RESISTANCE VALUE OF A RESISTANCE ELEMENT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-157971	June 3, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2003年 6月 3日

出願番号  
Application Number:

特願2003-157971

[ST.10/C]:

[JP2003-157971]

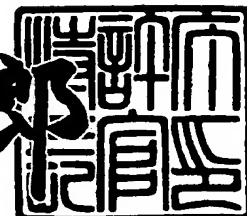
出願人  
Applicant(s):

株式会社ルネサステクノロジ

2003年 6月30日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3051714

【書類名】 特許願

【整理番号】 542878JP01

【提出日】 平成15年 6月 3日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

【氏名】 小森 重樹

【特許出願人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【代理人】

【識別番号】 100089233

【弁理士】

【氏名又は名称】 吉田 茂明

【選任した代理人】

【識別番号】 100088672

【弁理士】

【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 (a) 半導体基板の主面内に、素子分離絶縁膜を形成する工程と、

(b) 前記素子分離絶縁膜によって規定された素子形成領域内において、ゲート絶縁膜を、前記半導体基板の前記主面上に形成する工程と、

(c) 前記素子分離絶縁膜上及び前記ゲート絶縁膜上に、半導体膜を形成する工程と、

(d) 前記半導体膜をパターンニングすることにより、抵抗素子を前記素子分離絶縁膜上に形成するとともに、ゲート電極を前記ゲート絶縁膜上に形成する工程と、

(e) 前記抵抗素子を覆って、マスク材を形成する工程と、

(f) 前記マスク材を注入マスクとして用いて第 1 導電型の第 1 の不純物をイオン注入することにより、前記素子形成領域内における前記半導体基板の前記主面内に、第 1 のソース・ドレイン領域を形成する工程と、

(g) 前記工程 (f) よりも後に実行され、前記抵抗素子の側面にサイドウォールスペーサを形成する工程と、

(h) 前記工程 (g) よりも後に実行され、前記第 1 導電型の第 2 の不純物をイオン注入することにより、前記抵抗素子内に前記第 2 の不純物を注入するとともに、前記素子形成領域内における前記半導体基板の前記主面内に、第 2 のソース・ドレイン領域を形成する工程と、

(i) 前記第 2 の不純物を活性化させるための熱処理を行う工程とを備える、半導体装置の製造方法。

【請求項 2】 (j) 前記マスク材を注入マスクとして用いて第 2 導電型の第 3 の不純物をイオン注入することにより、前記抵抗素子の端部の下方における前記半導体基板の前記主面内に、ポケット領域を形成する工程をさらに備える、請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 (k) 前記工程 (i) よりも前に実行され、前記抵抗素子の

上面上に窒化膜を形成する工程をさらに備える、請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 (1) 前記工程 (i) よりも前に実行され、前記抵抗素子の側面に窒化膜を形成する工程をさらに備える、請求項 1 ～ 3 のいずれか一つに記載の半導体装置の製造方法。

【請求項 5】 (m) 前記工程 (c) よりも前に実行され、前記素子分離絶縁膜の上面を窒化する工程をさらに備える、請求項 1 ～ 4 のいずれか一つに記載の半導体装置の製造方法。

【請求項 6】 (n) 前記素子分離絶縁膜上及び前記ゲート絶縁膜上に、シリコンゲルマニウム膜を形成する工程をさらに備え、

前記工程 (c) において、前記半導体膜は前記シリコンゲルマニウム膜上に形成される、請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 7】 (o) 前記半導体膜上にシリコンゲルマニウム膜を形成する工程をさらに備える、請求項 1, 2, 6 のいずれか一つに記載の半導体装置の製造方法。

【請求項 8】 前記半導体膜はシリコンを含み、

(p) 前記半導体膜の側面内にゲルマニウムをイオン注入する工程をさらに備える、請求項 1, 2, 6, 7 のいずれか一つに記載の半導体装置の製造方法。

【請求項 9】 前記抵抗素子は単結晶シリコン膜である、請求項 1 ～ 8 のいずれか一つに記載の半導体装置の製造方法。

【請求項 10】 前記半導体膜はアモルファスシリコン膜であり、

(q) 前記工程 (d) よりも前に実行され、前記抵抗素子に対応する部分の前記アモルファスシリコン膜にレーザビームを照射する工程をさらに備える、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】 前記半導体膜はアモルファスシリコン膜であり、

(r) 前記工程 (d) よりも前に実行され、低温かつ長時間の熱処理によって、前記アモルファスシリコン膜をポリシリコン膜化する工程をさらに備える、請求項 1 ～ 8 のいずれか一つに記載の半導体装置の製造方法。

【発明の詳細な説明】

## 【 0 0 0 1 】

## 【発明の属する技術分野】

この発明は、半導体装置の製造方法に関し、特に、トランジスタと素子分離絶縁膜上に形成された抵抗素子とを備える半導体装置の製造方法に関するものである。

## 【 0 0 0 2 】

## 【従来の技術】

L S I は、トランジスタや抵抗素子等によって構成されている。抵抗素子の一つとしては、ポリシリコン膜内に不純物をドーピングすることによって形成された抵抗素子（本明細書において「ポリシリコン抵抗」と称する）が、広く用いられている。ポリシリコン抵抗では、ポリシリコン膜内に含まれている不純物の量によって抵抗値が定まる。

## 【 0 0 0 3 】

以下、nチャネルMOSFETとポリシリコン抵抗とを備える従来の半導体装置の製造方法について説明する。従来の半導体装置の製造方法は、（a）p型のシリコン基板の上面内に素子分離絶縁膜を形成する工程と、（b）素子形成領域内におけるシリコン基板の上面上に、MOSFETのゲート絶縁膜を形成する工程と、（c）不純物がドーピングされていない第1のポリシリコン膜を、全面的に形成する工程と、（d）第1のポリシリコン膜をパターニングすることにより、ポリシリコン抵抗として機能する第2のポリシリコン膜を素子分離絶縁膜上に形成するとともに、MOSFETのゲート電極として機能する第3のポリシリコン膜をゲート絶縁膜上に形成する工程と、（e）シリコン基板の上面に対してほぼ垂直な方向（垂直方向）からn型の第1の不純物をイオン注入することにより、MOSFETのLDD領域（「エクステンション領域」とも称されている）を形成する工程と、（f）上記垂直方向に対して傾斜した方向からp型の第2の不純物をイオン注入することにより、MOSFETのポケット領域を形成する工程と、（g）第2のポリシリコン膜の側面にサイドウォールスペーサを形成する工程と、（h）シリコン基板の上面に対してほぼ垂直な方向からn型の第3の不純物をイオン注入することにより、ポリシリコン抵抗の抵抗値を設定すべく第2のポリ

シリコン膜内に第3の不純物を注入するとともに、MOSFETのソース・ドレイン領域を形成する工程と、(i)シリコン基板内に注入された第1～第3の不純物を活性化させるための熱処理を行う工程とを備えている。

【0004】

なお、ポリシリコン抵抗の製造方法に関する技術は、例えば下記の特許文献1～4に開示されている。

【0005】

【特許文献1】

特許第3153921号公報

【特許文献2】

特開昭59-16361号公報

【特許文献3】

特開平6-314770号公報

【特許文献4】

特開平11-251520号公報

【0006】

【発明が解決しようとする課題】

半導体装置の高機能化に伴い、近年では、デジタル回路とアナログ回路とが搭載されたICチップが広く用いられている。特にアナログ回路においては、抵抗素子はトランジスタのバイアス設定等のために利用されるため、抵抗値が高精度に設定されている必要がある。

【0007】

しかしながら、従来の半導体装置の製造方法によると、第3の不純物のみならず、第1及び第2の不純物も、第2のポリシリコン膜内にイオン注入されてしまう。即ち、第2のポリシリコン膜内に、複数種類の不純物が注入されてしまう。また、第2のポリシリコン膜内に含まれている第1～第3の不純物の一部が、工程(i)における熱処理によって、第2のポリシリコン膜の外部に拡散(外方拡散)してしまう。しかも、熱処理の際にはウェハ面内で温度差が生じる場合があり、この場合は、不純物が外方拡散する量に関しても、ウェハ面内でばらつきが



生じる。

【0008】

このように従来の半導体装置の製造方法によると、ポリシリコン抵抗の抵抗値を所望の値に設定することが困難であり、また、たとえ抵抗素子の寸法が同一であっても、ウェハ面内で抵抗値にばらつきが生じるという問題がある。

【0009】

本発明は、かかる問題を解決するために成されたものであり、抵抗素子の抵抗値を高精度に設定することが可能であり、また、ウェハ面内での抵抗値のばらつきを抑制することが可能な、半導体装置の製造方法を得ることを目的とするものである。

【0010】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、(a) 半導体基板の主面内に、素子分離絶縁膜を形成する工程と、(b) 素子分離絶縁膜によって規定された素子形成領域内において、ゲート絶縁膜を、半導体基板の主面上に形成する工程と、(c) 素子分離絶縁膜上及びゲート絶縁膜上に、半導体膜を形成する工程と、(d) 半導体膜をパターンニングすることにより、抵抗素子を素子分離絶縁膜上に形成するとともに、ゲート電極をゲート絶縁膜上に形成する工程と、(e) 抵抗素子を覆って、マスク材を形成する工程と、(f) マスク材を注入マスクとして用いて第1導電型の第1の不純物をイオン注入することにより、素子形成領域内における半導体基板の主面内に、第1のソース・ドレイン領域を形成する工程と、(g) 工程(f)よりも後に実行され、抵抗素子の側面にサイドウォールスペーサを形成する工程と、(h) 工程(g)よりも後に実行され、第1導電型の第2の不純物をイオン注入することにより、抵抗素子内に第2の不純物を注入するとともに、素子形成領域内における半導体基板の主面内に、第2のソース・ドレイン領域を形成する工程と、(i) 第2の不純物を活性化させるための熱処理を行う工程とを備える。

【0011】

【発明の実施の形態】

## 実施の形態 1.

図 1 ～ 1 1 は、本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態 1 では、トランジスタとして n チャネル MOS FET が形成される場合の例について説明する。

## 【 0 0 1 2 】

図 1 を参照して、まず、周知のトレンチ分離技術によって、p 型のシリコン基板 1 の上面内に、素子分離絶縁膜 2 を部分的に形成する。シリコン基板 1 は、抵抗素子が形成される予定の領域（抵抗素子形成領域）と、トランジスタが形成される予定の領域（トランジスタ形成領域）とを有している。抵抗素子形成領域は素子分離領域上にあり、トランジスタ形成領域は素子形成領域上にある。素子分離絶縁膜 2 は、酸化シリコン（ $\text{SiO}_2$ ）から成り、抵抗素子形成領域内におけるシリコン基板 1 の上面内に形成されている。トランジスタ形成領域は、素子分離絶縁膜 2 によって規定されている。

## 【 0 0 1 3 】

図 2 を参照して、次に、熱酸化法によって、シリコン酸化膜 3 を形成する。シリコン酸化膜 3 は、トランジスタ形成領域内におけるシリコン基板 1 の上面上に形成されている。

## 【 0 0 1 4 】

図 3 を参照して、次に、CVD 法によって、不純物がドーピングされていないポリシリコン膜 4 を形成する。ポリシリコン膜 4 は、図 2 に示した構造上に全面的に形成されている。具体的に、ポリシリコン膜 4 は、素子分離絶縁膜 2 上及びシリコン酸化膜 3 上に形成されている。次に、写真製版法によって、所定の開口パターンを有するフォトレジスト 5 を、ポリシリコン膜 4 上に形成する。

## 【 0 0 1 5 】

図 4 を参照して、次に、フォトレジスト 5 をエッチングマスクとして用いて、異方性ドライエッチング法によって、ポリシリコン膜 4 を部分的に除去する。これにより、ポリシリコン膜 4 がパターンニングされて、ポリシリコン膜 4 R、4 G が形成される。ポリシリコン膜 4 R は、抵抗素子として機能し、素子分離絶縁膜 2 上に形成されている。ポリシリコン膜 4 G は、MOS FET のゲート電極とし

て機能し、シリコン酸化膜3上に形成されている。ポリシリコン膜4Gとシリコン基板1とによって挟まれている部分のシリコン酸化膜3は、ゲート絶縁膜として機能する。次に、フォトレジスト5を除去する。

## 【0016】

図5を参照して、次に、写真製版法によって、フォトレジスト6を形成する。フォトレジスト6は、ポリシリコン膜4Rの上面及び側面を覆って、素子分離絶縁膜2上に形成されている。次に、フォトレジスト6を注入マスクとして用いて、シリコン基板1の上面に対してほぼ垂直な方向（垂直方向）から、リン（P）等のn型の不純物7をイオン注入する。ドーズ量は、 $10^{13}/\text{cm}^2$ のオーダーである。これにより、トランジスタ形成領域内におけるシリコン基板1の上面内に、MOSFETのLDD領域（第1のソース・ドレイン領域）8が形成される。不純物7は、ポリシリコン膜4G内にも注入される。一方、ポリシリコン膜4Rはフォトレジスト6によって覆われているため、不純物7はポリシリコン膜4R内には注入されない。

## 【0017】

図6を参照して、次に、フォトレジスト6を注入マスクとして用いて、上記垂直方向に対して傾斜した方向から、ボロン（B）等のp型の不純物9をイオン注入する。ドーズ量は、 $10^{14}/\text{cm}^2$ のオーダーである。これにより、トランジスタ形成領域内におけるシリコン基板1の上面内に、MOSFETのポケット領域10が形成される。ポケット領域10は、ポリシリコン膜4Gの端部の下方に形成されている。不純物9は、ポリシリコン膜4Gの側面内にも注入される。一方、ポリシリコン膜4Rはフォトレジスト6によって覆われているため、不純物9はポリシリコン膜4R内には注入されない。

## 【0018】

図7を参照して、次に、フォトレジスト6を除去する。次に、CVD法によって、シリコン酸化膜11を、図6に示した構造上に全面的に形成する。

## 【0019】

図8を参照して、次に、異方性ドライエッチング法によって、シリコン酸化膜11をエッチングする。これにより、ポリシリコン膜4Rの側面にサイドウォー

ルスパーサ 1 2 R が形成されるとともに、ポリシリコン膜 4 G の側面にサイドウォールスパーサ 1 2 G が形成される。また、シリコン酸化膜 3 が部分的に除去されることにより、LDD 領域 8 の上面が部分的に露出する。

#### 【 0 0 2 0 】

図 9 を参照して、次に、シリコン基板 1 の上面に対してほぼ垂直な方向から、ヒ素 (As) 又はリン等の n 型の不純物 1 3 をイオン注入する。ドーズ量は、 $10^{15}/\text{cm}^2$  のオーダーである。これにより、トランジスタ形成領域内におけるシリコン基板 1 の上面内に、MOSFET のソース・ドレイン領域 (第 2 のソース・ドレイン領域) 1 4 が形成される。ソース・ドレイン領域 1 4 は、LDD 領域 8 よりも高濃度であり、また、LDD 領域 8 よりも深く形成されている。不純物 1 3 は、ポリシリコン膜 4 G, 4 R 内にも注入される。次に、LDD 領域 8、ポケット領域 1 0、及びソース・ドレイン領域 1 4 を活性化させるために、所定の熱処理を行う。

#### 【 0 0 2 1 】

図 1 0 を参照して、次に、CVD 法、写真製版法、及び異方性ドライエッチング法によって、シリコン酸化膜 1 5 を形成する。シリコン酸化膜 1 5 は、ポリシリコン膜 4 R 及びサイドウォールスパーサ 1 2 R を覆って、素子分離絶縁膜 2 上に形成されている。

#### 【 0 0 2 2 】

図 1 1 を参照して、次に、コバルト (Co) 等の金属膜を、図 1 0 に示した構造上に全面的に形成する。その後、所定の熱処理を行うことにより、コバルトシリサイド層 1 6 G, 1 6 S D を形成する。コバルトシリサイド層 1 6 G はポリシリコン膜 4 G 上に形成されており、コバルトシリサイド層 1 6 S D はソース・ドレイン領域 1 4 上に形成されている。シリコン酸化膜 1 5 がシリサイドプロテクション膜として機能するため、ポリシリコン膜 4 R 上にはコバルトシリサイド層は形成されない。

#### 【 0 0 2 3 】

このように本実施の形態 1 に係る半導体装置の製造方法によれば、図 5, 6 に示した工程において、ポリシリコン膜 4 R はフォトレジスト 6 によって覆われて

いるため、不純物 7, 9 はポリシリコン膜 4 R 内には注入されない。従って、抵抗素子として機能するポリシリコン膜 4 R 内には、図 9 に示した工程において、不純物 1 3 のみが注入される。即ち、ポリシリコン膜 4 R 内には、一種類の不純物しか注入されない。そのため、導電型が異なる複数種類の不純物が抵抗素子内に注入される従来の半導体装置の製造方法と比較すると、抵抗素子の抵抗値を高精度に設定することが可能となる。

#### 【0024】

実施の形態 2.

図 1 2 ~ 1 8 は、本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法によって、図 2 に示した構造を得る。図 1 2 を参照して、次に、窒素雰囲気中で所定の熱処理を行うことにより、シリコン酸化膜 3 と、素子分離絶縁膜 2 の上面とを窒化する。これにより、シリコン窒化膜 2 0, 2 1 が形成される。シリコン窒化膜 2 0 はシリコン基板 1 の上面上に形成されており、シリコン窒化膜 2 1 は素子分離絶縁膜 2 上に形成されている。

#### 【0025】

図 1 3 を参照して、次に、上記実施の形態 1 と同様の方法によって、ポリシリコン膜 4 R, 4 G, LDD 領域 8、及びポケット領域 1 0 を形成する。ポリシリコン膜 4 R はシリコン窒化膜 2 1 上に形成されており、ポリシリコン膜 4 G はシリコン窒化膜 2 0 上に形成されている。

#### 【0026】

図 1 4 を参照して、次に、CVD 法によって、シリコン窒化膜 2 2 を、図 1 3 に示した構造上に全面的に形成する。次に、CVD 法によって、シリコン酸化膜 2 3 をシリコン窒化膜 2 2 上に形成する。

#### 【0027】

図 1 5 を参照して、次に、異方性ドライエッチング法によって、シリコン酸化膜 2 3 及びシリコン窒化膜 2 0 ~ 2 2 をエッチングする。これにより、ポリシリコン膜 4 R の側面にサイドウォールスペーサ 2 6 R が形成されるとともに、ポリシリコン膜 4 G の側面にサイドウォールスペーサ 2 6 G が形成される。サイドウ

オールスペーサ26Rは、シリコン窒化膜24Rとシリコン酸化膜25Rとを有しており、サイドウォールスペーサ26Gは、シリコン窒化膜24Gとシリコン酸化膜25Gとを有している。シリコン窒化膜24Rはポリシリコン膜4Rの側面に形成されており、シリコン窒化膜24Gはポリシリコン膜4Gの側面に形成されている。また、シリコン窒化膜20, 21が部分的に除去されることにより、LDD領域8及び素子分離絶縁膜2の各上面が部分的に露出する。

## 【0028】

図16を参照して、次に、シリコン基板1の上面に対してほぼ垂直な方向から、n型の不純物13をイオン注入する。これにより、MOSFETのソース・ドレイン領域14が形成される。

## 【0029】

図17を参照して、次に、CVD法によって、シリコン窒化膜を、図16に示した構造上に全面的に形成する。次に、CVD法によって、シリコン酸化膜をシリコン窒化膜上に形成する。次に、写真製版法及び異方性ドライエッチング法によってこれらの膜をパターニングすることにより、シリコン窒化膜27及びシリコン酸化膜28を形成する。シリコン窒化膜27は、ポリシリコン膜4Rの上面及びサイドウォールスペーサ26Rを覆って、素子分離絶縁膜2上に形成されている。次に、LDD領域8、ポケット領域10、及びソース・ドレイン領域14を活性化させるために、所定の熱処理を行う。

## 【0030】

図18を参照して、次に、コバルト等の金属膜を、図17に示した構造上に全面的に形成する。その後、所定の熱処理を行うことにより、コバルトシリサイド層16G, 16SDを形成する。シリコン窒化膜27及びシリコン酸化膜28がシリサイドプロテクション膜として機能するため、ポリシリコン膜4R上にはコバルトシリサイド層は形成されない。

## 【0031】

このように本実施の形態2に係る半導体装置の製造方法によれば、図17に示したように、ポリシリコン膜4Rの表面（即ち、底面、側面、及び上面）は、シリコン窒化膜21, 24R, 27によって覆われている。そして、ポリシリコン

膜 4 R の表面がシリコン窒化膜 2 1, 2 4 R, 2 7 によって覆われた状態で、不純物 7, 9, 1 3 を活性化させるための熱処理が行われる。従って、ポリシリコン膜 4 R 内に含まれている不純物 1 3 が、この熱処理（及びコバルトシリサイド層 1 6 G, 1 6 S D を形成するための熱処理）によってポリシリコン膜 4 R の外部に拡散することを、シリコン窒化膜 2 1, 2 4 R, 2 7 の作用によって回避することができる。その結果、抵抗素子の抵抗値をより高精度に設定することが可能であり、また、抵抗素子の抵抗値がウェハ面内ではばらつくことを回避することもできる。

## 【 0 0 3 2 】

第 1 の変形例として、シリコン窒化膜 2 1, 2 4 R, 2 7 のうち、シリコン窒化膜 2 7 のみを形成してもよい。図 1 9, 2 0 は、本実施の形態 2 の第 1 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法によって、図 9 に示した構造を得る。図 1 9 を参照して、次に、図 1 7 に示した工程と同様の方法によって、シリコン窒化膜 2 7 及びシリコン酸化膜 2 8 を形成する。次に、L D D 領域 8、ポケット領域 1 0、及びソース・ドレイン領域 1 4 を活性化させるために、所定の熱処理を行う。

## 【 0 0 3 3 】

図 2 0 を参照して、次に、図 1 8 に示した工程と同様の方法によって、コバルトシリサイド層 1 6 G, 1 6 S D を形成する。

## 【 0 0 3 4 】

本実施の形態 2 の第 1 の変形例に係る半導体装置の製造方法によれば、図 1 9 に示したように、ポリシリコン膜 4 R の上面は、シリコン窒化膜 2 7 によって覆われている。そして、ポリシリコン膜 4 R の上面がシリコン窒化膜 2 7 によって覆われた状態で、L D D 領域 8、ポケット領域 1 0、及びソース・ドレイン領域 1 4 を活性化させるための熱処理が行われる。従って、ポリシリコン膜 4 R 内に含まれている不純物 1 3 が、この熱処理（及びコバルトシリサイド層 1 6 G, 1 6 S D を形成するための熱処理）によってポリシリコン膜 4 R の上面から外部に拡散することを、シリコン窒化膜 2 7 の作用によって回避することができる。

## 【 0 0 3 5 】

第2の変形例として、シリコン窒化膜21、24R、27のうち、シリコン窒化膜24Rのみを形成してもよい。図21～25は、本実施の形態2の第2の変形例に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態1と同様の方法によって、図6に示した構造を得る。図21を参照して、次に、フォトレジスト6を除去する。次に、図14に示した工程と同様の方法によって、シリコン窒化膜22及びシリコン酸化膜23を形成する。

## 【0036】

図22を参照して、次に、図15に示した工程と同様の方法によって、サイドウォールスペーサ26R、26Gを形成する。

## 【0037】

図23を参照して、次に、図16に示した工程と同様の方法によって、MOSFETのソース・ドレイン領域14を形成する。次に、LDD領域8、ポケット領域10、及びソース・ドレイン領域14を活性化させるために、所定の熱処理を行う。

## 【0038】

図24を参照して、次に、図10に示した工程と同様の方法によって、シリコン酸化膜15を形成する。

## 【0039】

図25を参照して、次に、図11に示した工程と同様の方法によって、コバルトシリサイド層16G、16SDを形成する。

## 【0040】

本実施の形態2の第2の変形例に係る半導体装置の製造方法によれば、図23に示したように、ポリシリコン膜4Rの側面は、シリコン窒化膜24Rによって覆われている。そして、ポリシリコン膜4Rの側面がシリコン窒化膜24Rによって覆われた状態で、LDD領域8、ポケット領域10、及びソース・ドレイン領域14を活性化させるための熱処理が行われる。従って、ポリシリコン膜4R内に含まれている不純物13が、この熱処理（及びコバルトシリサイド層16G、16SDを形成するための熱処理）によってポリシリコン膜4Rの側面から外部に拡散することを、シリコン窒化膜24Rの作用によって回避することができ



る。

#### 【0041】

第3の変形例として、シリコン窒化膜21、24R、27のうち、シリコン窒化膜21のみを形成してもよい。図15に示したサイドウォールスペーサ26R、26Gの代わりに、図8に示したサイドウォールスペーサ12R、12Gを形成する。また、図17に示したシリコン窒化膜27及びシリコン酸化膜28の代わりに、図10に示したシリコン酸化膜15を形成する。これにより、シリコン窒化膜21、24R、27のうち、シリコン窒化膜21のみを形成することができる。

#### 【0042】

本実施の形態2の第3の変形例に係る半導体装置の製造方法によれば、ポリシリコン膜4Rの底面は、シリコン窒化膜21によって覆われている。そして、ポリシリコン膜4Rの底面がシリコン窒化膜21によって覆われた状態で、LDD領域8、ポケット領域10、及びソース・ドレイン領域14を活性化させるための熱処理が行われる。従って、ポリシリコン膜4R内に含まれている不純物13が、この熱処理（及びコバルトシリサイド層16G、16SDを形成するための熱処理）によってポリシリコン膜4Rの底面から外部に拡散することを、シリコン窒化膜21の作用によって回避することができる。

#### 【0043】

第4の変形例として、シリコン窒化膜21、24R、27のうち、任意の2つを形成してもよい。

#### 【0044】

実施の形態3.

図26～28は、本発明の実施の形態3に係る半導体装置の製造方法を工程順に示す断面図である。本実施の形態3では、トランジスタとしてpチャネルMOSFETが形成される場合の例について説明する。

#### 【0045】

図1を参照して、まず、周知のトレンチ分離技術によって、n型のシリコン基板1の上面内に、素子分離絶縁膜2を部分的に形成する。

## 【 0 0 4 6 】

図 2 を参照して、次に、熱酸化法によって、トランジスタ形成領域内におけるシリコン基板 1 の上面上に、シリコン酸化膜 3 を形成する。

## 【 0 0 4 7 】

図 2 6 を参照して、次に、CVD 法によって、不純物がドーピングされていないシリコンゲルマニウム (SiGe) 膜 3 0 を、図 2 に示した構造上に全面的に形成する。次に、CVD 法によって、不純物がドーピングされていないポリシリコン膜 3 1 を、シリコンゲルマニウム膜 3 0 上に形成する。次に、CVD 法によって、不純物がドーピングされていないシリコンゲルマニウム膜 3 2 を、ポリシリコン膜 3 1 上に形成する。

## 【 0 0 4 8 】

図 2 7 を参照して、次に、写真製版法及び異方性ドライエッチング法によって、シリコンゲルマニウム膜 3 0、3 2 及びポリシリコン膜 3 1 をパターンニングする。これにより、素子分離絶縁膜 2 上に抵抗素子 3 3 R が形成されるとともに、シリコン酸化膜 3 上にゲート電極 3 3 G が形成される。抵抗素子 3 3 R は、シリコンゲルマニウム膜 3 0 R、ポリシリコン膜 3 1 R、及びシリコンゲルマニウム膜 3 2 R がこの順に積層された構造を有している。同様に、ゲート電極 3 3 G は、シリコンゲルマニウム膜 3 0 G、ポリシリコン膜 3 1 G、及びシリコンゲルマニウム膜 3 2 G がこの順に積層された構造を有している。

## 【 0 0 4 9 】

次に、図 5 に示した工程と同様に、フォトレジスト 6 を注入マスクとして用いて、シリコン基板 1 の上面に対してほぼ垂直な方向（垂直方向）から、ボロン等の p 型の不純物 7 をイオン注入することにより、LDD 領域 8 を形成する。

## 【 0 0 5 0 】

次に、図 6 に示した工程と同様に、フォトレジスト 6 を注入マスクとして用いて、上記垂直方向に対して傾斜した方向から n 型の不純物 9 をイオン注入することにより、ポケット領域 1 0 を形成する。

## 【 0 0 5 1 】

次に、図 7、8 に示した工程と同様に、抵抗素子 3 3 R の側面にサイドウォー

ルスペーサ 1 2 R を形成するとともに、ゲート電極 3 3 G の側面にサイドウォールスペーサ 1 2 G を形成する。

【 0 0 5 2 】

次に、図 9 に示した工程と同様に、シリコン基板 1 の上面に対してほぼ垂直な方向から、ボロン等の p 型の不純物 1 3 をイオン注入することにより、ソース・ドレイン領域 1 4 を形成する。不純物 1 3 は、抵抗素子 3 3 R 内及びゲート電極 3 3 G 内にも注入される。次に、LDD 領域 8、ポケット領域 1 0、及びソース・ドレイン領域 1 4 を活性化させるために、所定の熱処理を行う。

【 0 0 5 3 】

次に、図 1 0 に示した工程と同様に、抵抗素子 3 3 R 及びサイドウォールスペーサ 1 2 R を覆って、シリコン酸化膜 1 5 を形成する。

【 0 0 5 4 】

図 2 8 を参照して、次に、コバルト等の金属膜を全面的に形成した後に所定の熱処理を行うことにより、コバルトシリサイド層 1 6 G、1 6 S D を形成する。

【 0 0 5 5 】

このように本実施の形態 3 に係る半導体装置の製造方法によれば、図 2 7 に示したように、ポリシリコン膜 3 1 R の底面はシリコンゲルマニウム膜 3 0 R によって覆われており、ポリシリコン膜 3 1 R の上面はシリコンゲルマニウム膜 3 2 R によって覆われている。そして、ポリシリコン膜 3 1 R の底面及び上面がシリコンゲルマニウム膜 3 0 R、3 2 R によって覆われた状態で、LDD 領域 8、ポケット領域 1 0、及びソース・ドレイン領域 1 4 を活性化させるための熱処理が行われる。従って、ポリシリコン膜 3 1 R 内に含まれているボロン等の不純物 1 3 が、この熱処理（及びコバルトシリサイド層 1 6 G、1 6 S D を形成するための熱処理）によってポリシリコン膜 3 1 R の底面及び上面から外部に拡散することを、シリコンゲルマニウム膜 3 0 R、3 2 R の作用によって回避することができる。その結果、抵抗素子 3 3 R の抵抗値をより高精度に設定することが可能であり、また、抵抗素子の抵抗値がウェハ面内でばらつくことを抑制することもできる。

【 0 0 5 6 】

## 実施の形態 4.

図 2 9, 3 0 は、本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 3 と同様の方法によって、図 2 7 に示した構造を得る。図 2 9 を参照して、次に、写真製版法によって、トランジスタ形成領域を覆ってフォトレジスト 4 0 を形成する。次に、シリコン基板 1 の上面の法線方向に対して傾斜した方向から、ゲルマニウム 4 1 をイオン注入する。ドーズ量は、 $10^{15}/\text{cm}^2$ 以上のオーダーである。これにより、抵抗素子 3 3 R の側面内にシリコンゲルマニウム膜 4 2 が形成され、その結果、抵抗素子 4 3 が得られる。抵抗素子 4 3 に関して、ポリシリコン膜 3 1 R の側面は、シリコンゲルマニウム膜 4 2 によって覆われている。その後、上記実施の形態 3 と同様の工程が実行されて、図 3 0 に示した構造が得られる。

## 【 0 0 5 7 】

このように本実施の形態 4 に係る半導体装置の製造方法によれば、図 2 8 に示したように、ポリシリコン膜 3 1 R の表面（即ち、底面、上面、及び側面）はシリコンゲルマニウム膜 3 0 R, 3 2 R, 4 2 によって覆われている。そして、ポリシリコン膜 3 1 R の表面がシリコンゲルマニウム膜 3 0 R, 3 2 R, 4 2 によって覆われた状態で、LDD 領域 8、ポケット領域 1 0、及びソース・ドレイン領域 1 4 を活性化させるための熱処理が行われる。従って、ポリシリコン膜 3 1 R 内に含まれているボロン等の不純物 1 3 が、この熱処理（及びコバルトシリサイド層 1 6 G, 1 6 S D を形成するための熱処理）によってポリシリコン膜 3 1 R から外部に拡散することを、シリコンゲルマニウム膜 3 0 R, 3 2 R, 4 2 の作用によって回避することができる。その結果、抵抗素子 4 3 の抵抗値をより高精度に設定することが可能であり、また、抵抗素子の抵抗値がウェハ面内ではばらつくことを回避することもできる。

## 【 0 0 5 8 】

変形例として、シリコンゲルマニウム膜 3 0 R, 3 2 R, 4 2 のうち、任意の 1 つ又は 2 つを形成してもよい。

## 【 0 0 5 9 】

## 実施の形態 5.

図 3 1 ～ 3 4 は、本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法によって、図 2 に示した構造を得る。図 3 1 を参照して、次に、CVD 法によって、アモルファスシリコン膜 5 0 を、図 2 に示した構造上に全面的に形成する。

#### 【 0 0 6 0 】

図 3 2 を参照して、次に、レーザアニール法によって、アモルファスシリコン膜 5 0 を部分的に単結晶化する。具体的には、アモルファスシリコン膜 5 0 のうち抵抗素子を形成する予定の領域を、レーザビーム 5 1 によって走査する。レーザビーム 5 1 のエネルギーは、 $200 \sim 1000 \text{ mJ/cm}^2$  程度である。これにより、単結晶シリコン膜 5 2 が形成される。

#### 【 0 0 6 1 】

図 3 3 を参照して、次に、写真製版法によって、フォトレジスト 5 を形成する。フォトレジスト 5 は、単結晶シリコン膜 5 2 上に形成されている。また、フォトレジスト 5 は、アモルファスシリコン膜 5 0 上に部分的に形成されている。次に、フォトレジスト 5 をエッチングマスクとして用いて、異方性ドライエッチング法によって、アモルファスシリコン膜 5 0 を部分的に除去する。これにより、アモルファスシリコン膜 5 0 G が形成される。単結晶シリコン膜 5 2 は、抵抗素子として機能し、素子分離絶縁膜 2 上に形成されている。アモルファスシリコン膜 5 0 G は、MOSFET のゲート電極として機能し、シリコン酸化膜 3 上に形成されている。その後、上記実施の形態 1 と同様の工程が実行されて、図 3 4 に示した構造が得られる。

#### 【 0 0 6 2 】

なお、以上の説明では、上記実施の形態 1 を基礎として本実施の形態 5 に係る発明を適用する例について述べたが、本実施の形態 5 に係る発明は、上記実施の形態 2 ～ 4 にも適用することができる。

#### 【 0 0 6 3 】

このように本実施の形態 5 に係る半導体装置の製造方法によれば、ポリシリコンから成る抵抗素子ではなく、単結晶シリコンから成る抵抗素子が形成される。ポリシリコン膜内に不純物をドーピングすることによって抵抗素子を形成する場合に

は、グレインの粒界面に不純物が偏析することに起因して、抵抗素子の抵抗値が所望の値よりもわずかにずれる場合がある。これに対して、本実施の形態 5 に係る半導体装置の製造方法によれば、単結晶シリコン膜 5 2 内に不純物 1 3 を注入することによって抵抗素子が形成されるため、不純物の偏析に起因して抵抗値にずれが生じることを回避できる。従って、抵抗素子の抵抗値をより高精度に設定することが可能となる。

## 【 0 0 6 4 】

実施の形態 6.

図 3 5 ～ 3 8 は、本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。まず、上記実施の形態 1 と同様の方法によって、図 2 に示した構造を得る。図 3 5 を参照して、次に、CVD 法によって、アモルファスシリコン膜 5 0 を、図 2 に示した構造上に全面的に形成する。

## 【 0 0 6 5 】

図 3 6 を参照して、次に、炉を用いて、低温（800℃以下）かつ長時間（1 ～ 10 時間）の熱処理を行うことにより、アモルファスシリコンをポリシリコン化する。これにより、ポリシリコン膜 6 0 が形成される。ポリシリコン膜 6 0 のグレインサイズは、ポリシリコン膜 4 のグレインサイズよりも大きく、50 ～ 100 nm 程度である。

## 【 0 0 6 6 】

図 3 7 を参照して、次に、写真製版法によって、フォトレジスト 5 を形成する。次に、フォトレジスト 5 をエッチングマスクとして用いて、異方性ドライエッチング法によって、ポリシリコン膜 6 0 を部分的に除去する。これにより、ポリシリコン膜 6 0 R, 6 0 G が形成される。ポリシリコン膜 6 0 R は、抵抗素子として機能し、素子分離絶縁膜 2 上に形成されている。ポリシリコン膜 6 0 G は、MOSFET のゲート電極として機能し、シリコン酸化膜 3 上に形成されている。その後、上記実施の形態 1 と同様の工程が実行されて、図 3 8 に示した構造が得られる。

## 【 0 0 6 7 】

なお、以上の説明では、上記実施の形態 1 を基礎として本実施の形態 6 に係る

発明を適用する例について述べたが、本実施の形態 5 に係る発明は、上記実施の形態 2 ～ 4 にも適用することができる。

【 0 0 6 8 】

このように本実施の形態 6 に係る半導体装置の製造方法によれば、ポリシリコン膜 4 R よりもグレインサイズが大きいポリシリコン膜 6 0 R を用いて、抵抗素子が形成される。従って、グレインの粒界面が少なくなるため、粒界面に析出する不純物も少なくなる。その結果、不純物の偏析に起因して抵抗値にずれが生じることを抑制できるため、抵抗素子の抵抗値をより高精度に設定することが可能となる。

【 0 0 6 9 】

【発明の効果】

本発明に係る半導体装置の製造方法によれば、抵抗素子の抵抗値を高精度に設定することができる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 6】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 7】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 8】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示

す断面図である。

【図 9】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 0】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 1】 本発明の実施の形態 1 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 2】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 3】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 4】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 5】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 6】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 7】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 8】 本発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 1 9】 本発明の実施の形態 2 の第 1 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 0】 本発明の実施の形態 2 の第 1 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 1】 本発明の実施の形態 2 の第 2 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 2】 本発明の実施の形態 2 の第 2 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。



【図 2 3】 本発明の実施の形態 2 の第 2 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 4】 本発明の実施の形態 2 の第 2 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 5】 本発明の実施の形態 2 の第 2 の変形例に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 6】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 7】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 8】 本発明の実施の形態 3 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2 9】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 0】 本発明の実施の形態 4 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 1】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 2】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 3】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 4】 本発明の実施の形態 5 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 5】 本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 6】 本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3 7】 本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に

示す断面図である。

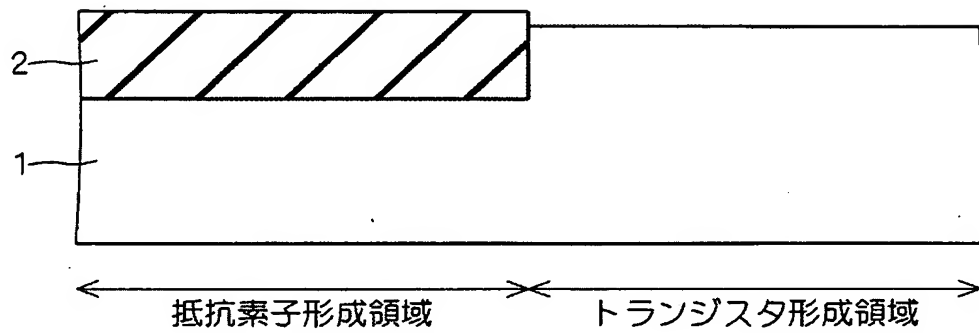
【図 3 8】 本発明の実施の形態 6 に係る半導体装置の製造方法を工程順に示す断面図である。

【符号の説明】

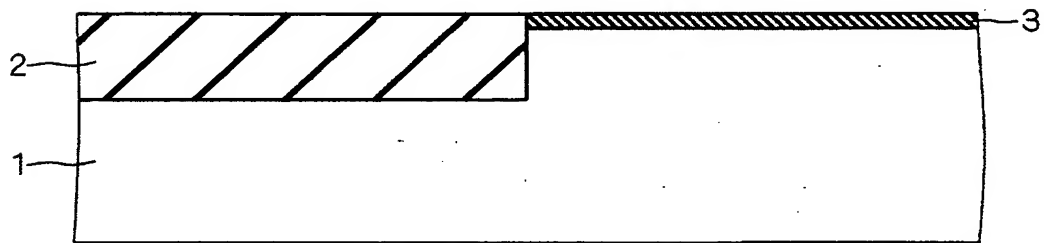
1 シリコン基板、2 素子分離絶縁膜、3, 15, 23, 25R, 25G, 28 シリコン酸化膜、4, 4R, 4G, 31, 31R, 31G, 60R, 60G ポリシリコン膜、7, 9, 13 不純物、8 LDD領域、10 ポケット領域、12R, 12G, 26R, 26G サイドウォールスペーサ、14 ソース・ドレイン領域、20~22, 24R, 24G, 27 シリコン窒化膜、30, 30R, 30G, 32, 32R, 32G, 42 シリコンゲルマニウム膜、33R, 43 抵抗素子、33G ゲート電極、41 ゲルマニウム、50, 50G, 60 アモルファスシリコン膜、51 レーザビーム、52 単結晶シリコン膜。

【書類名】 図面

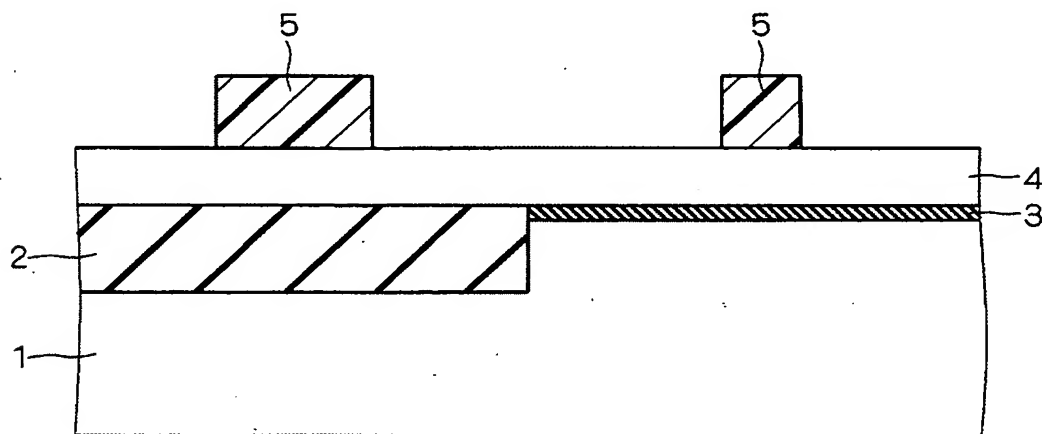
【図 1】



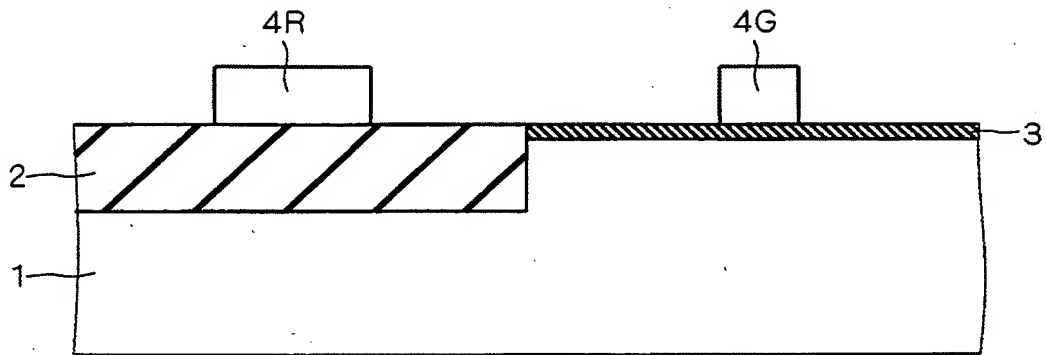
【図 2】



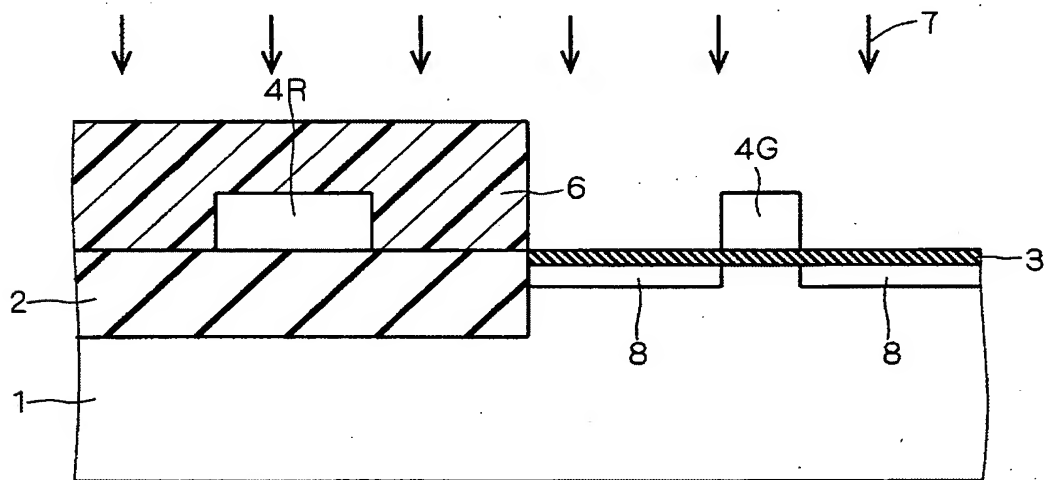
【図 3】



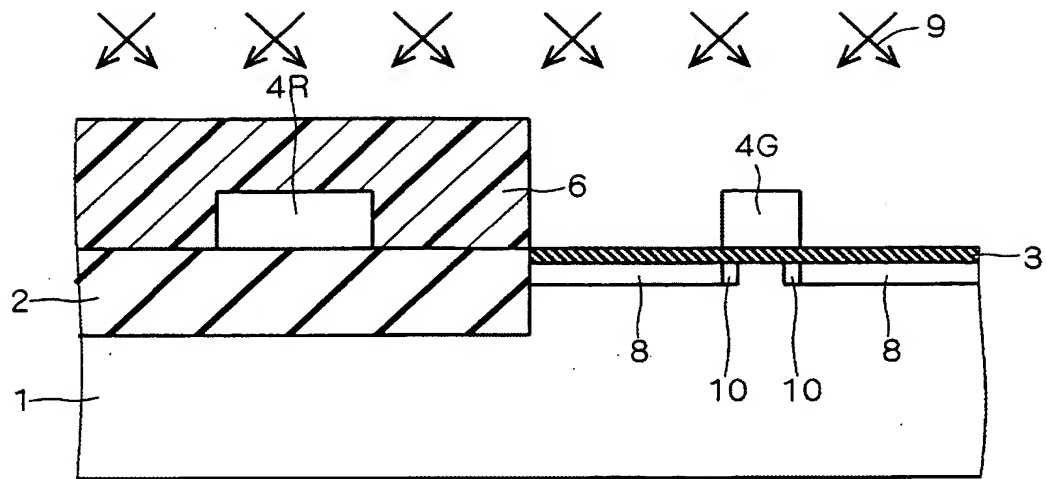
【図 4】



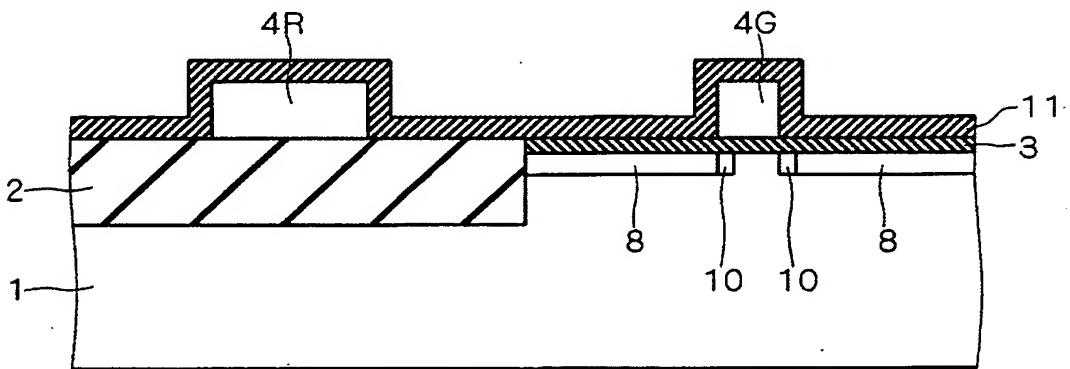
【図 5】



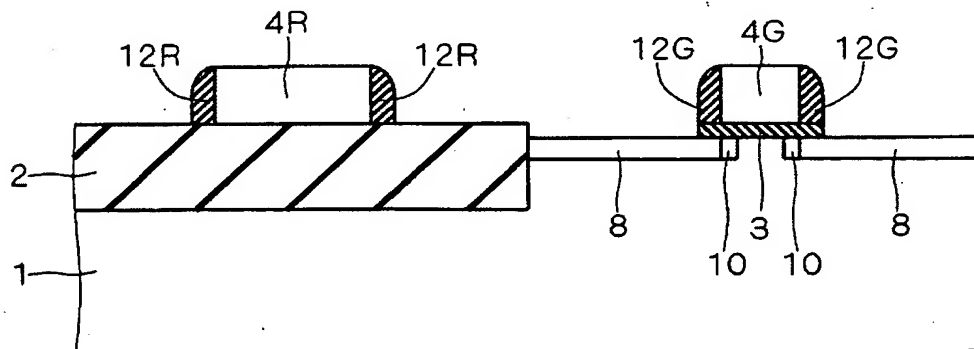
【図 6】



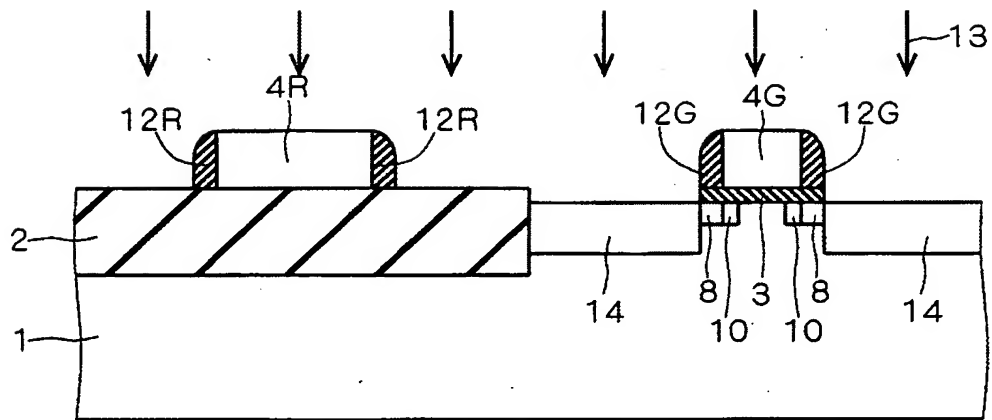
【図 7】



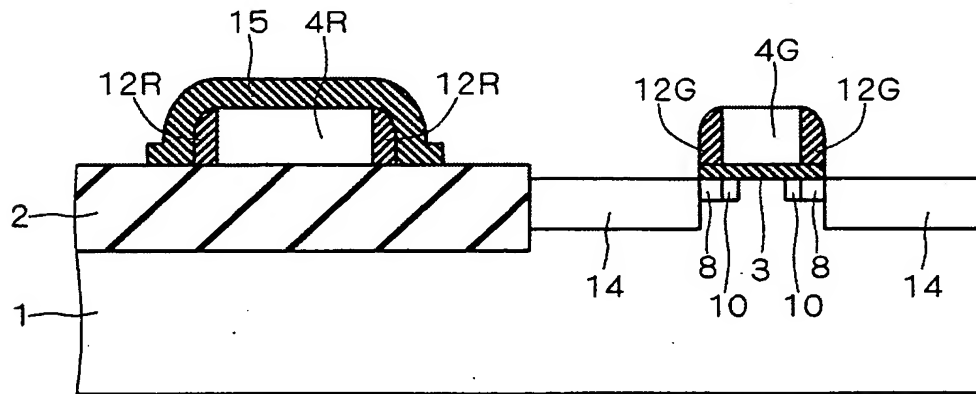
【図 8】



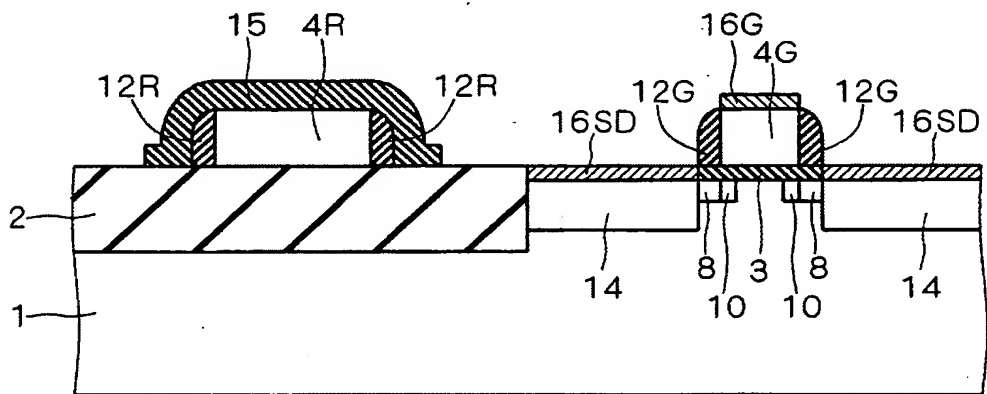
【図 9】



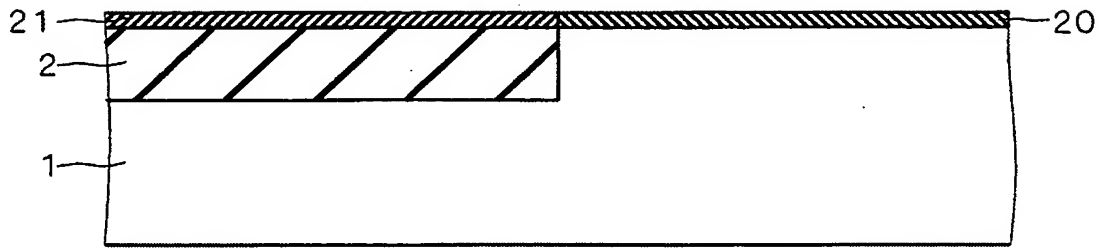
【図 10】



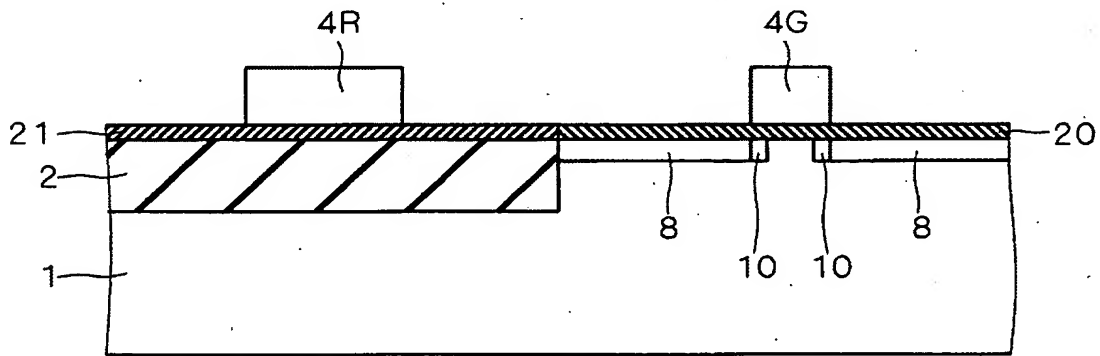
【図 11】



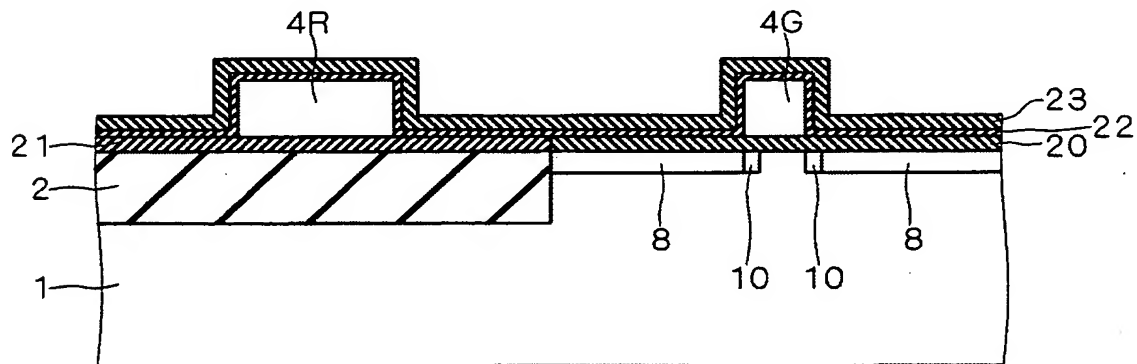
【図 1 2】



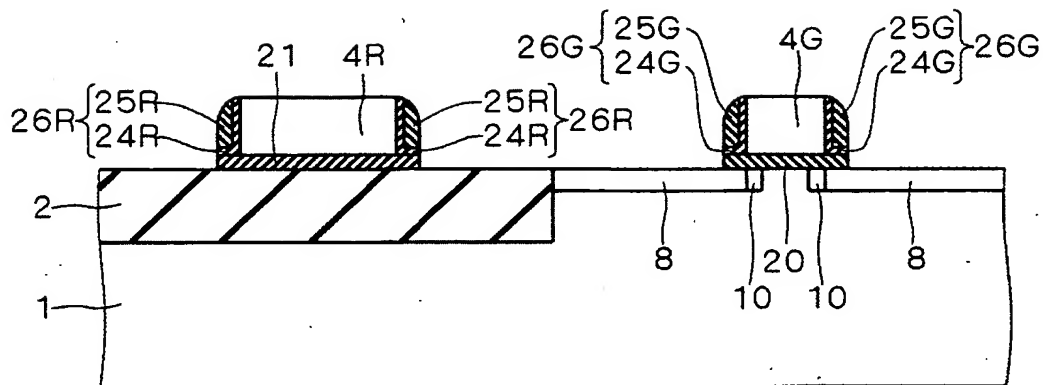
【図 13】



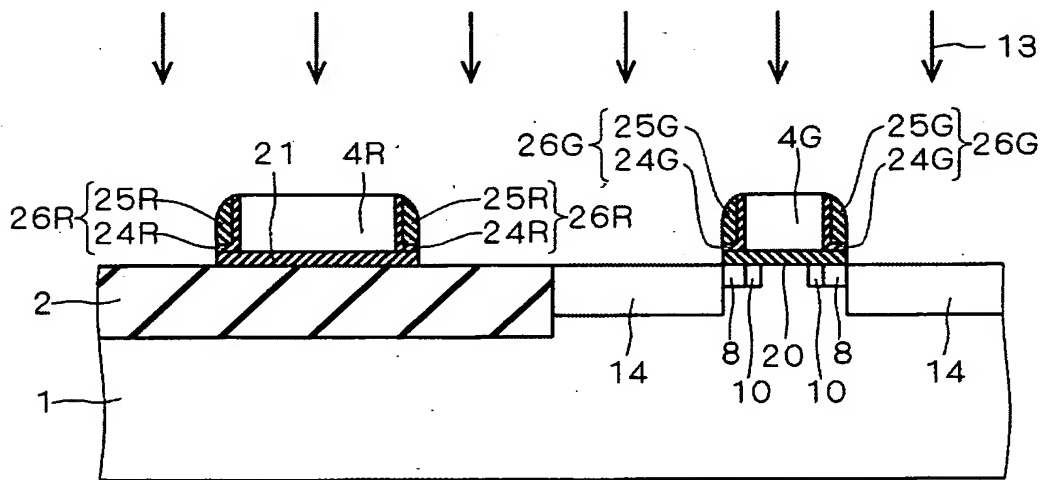
【図 14】



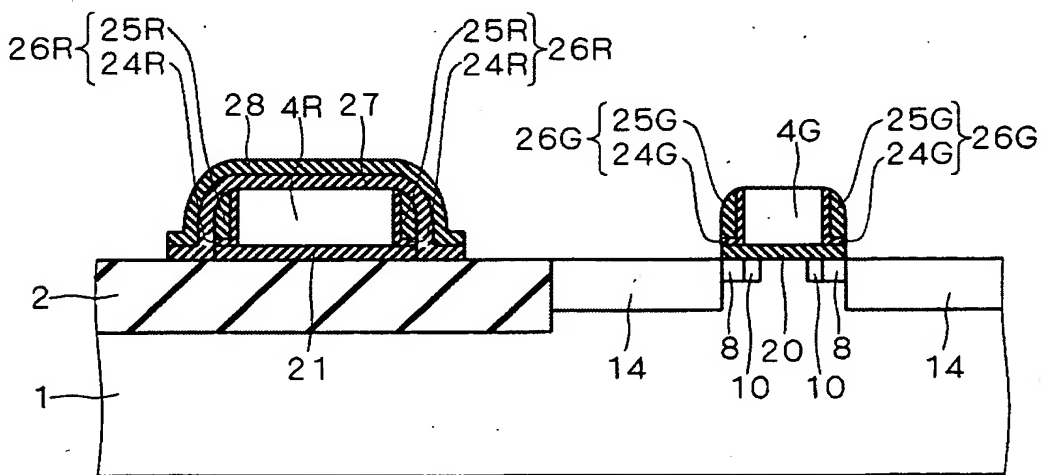
【図 15】



【図 16】

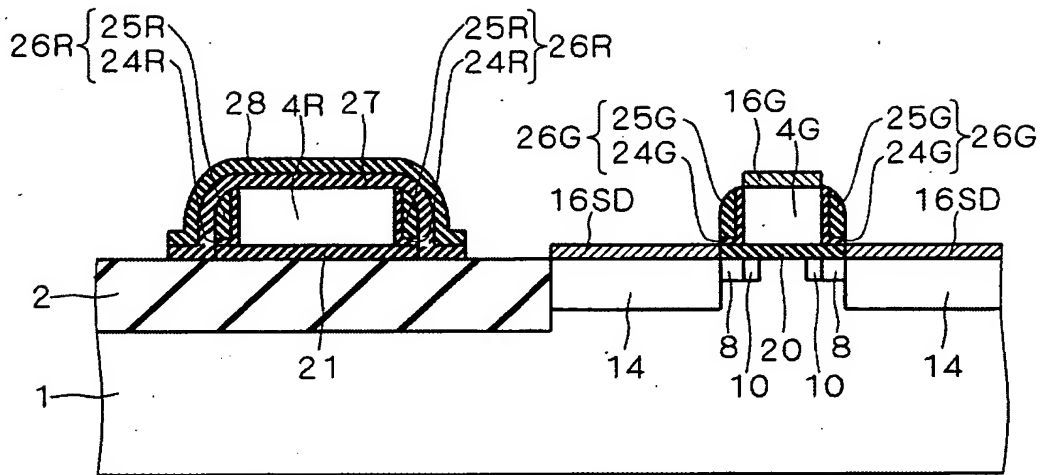


【図 17】

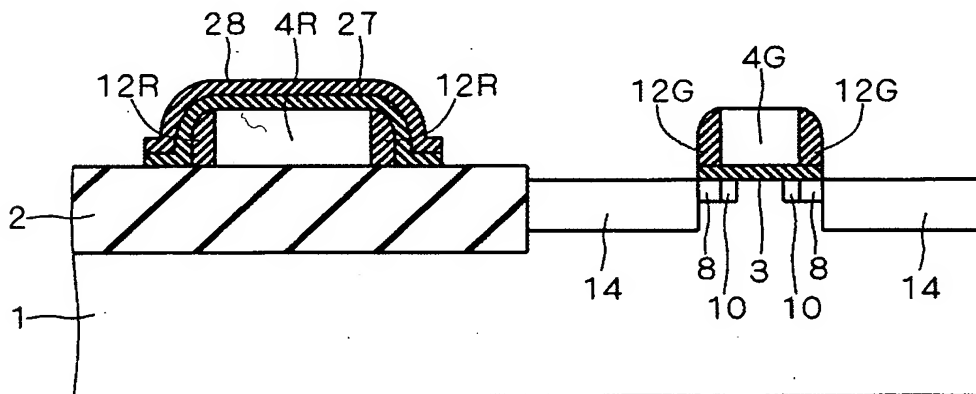




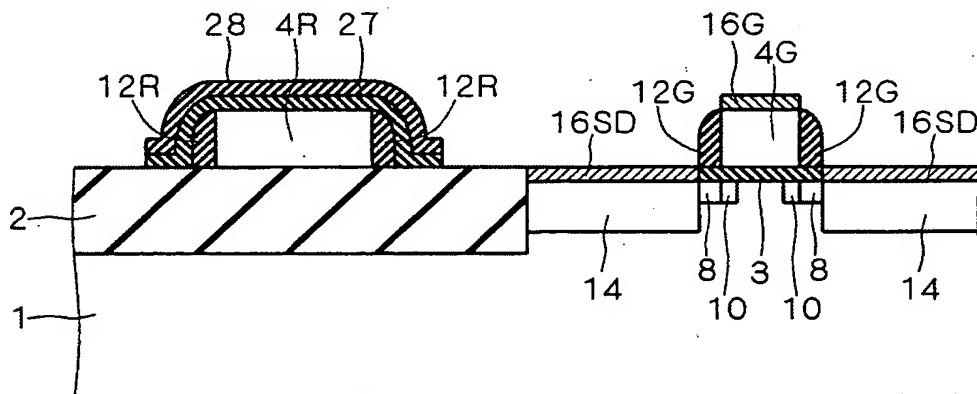
【図18】



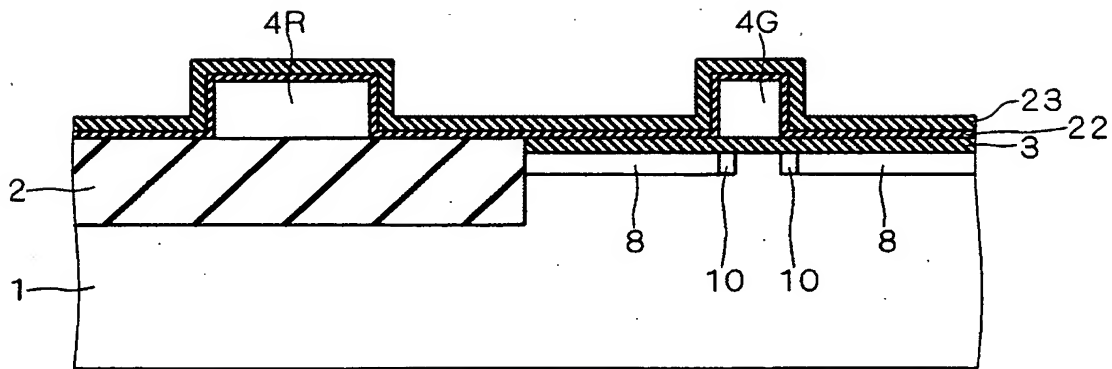
【図19】



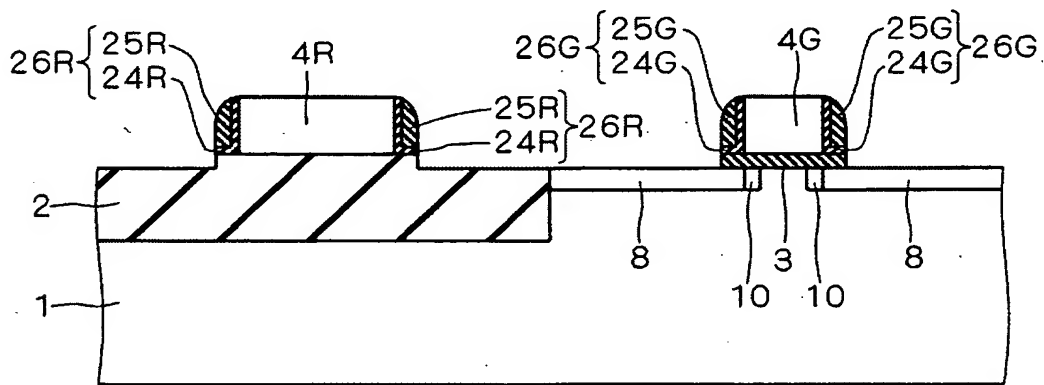
【図20】



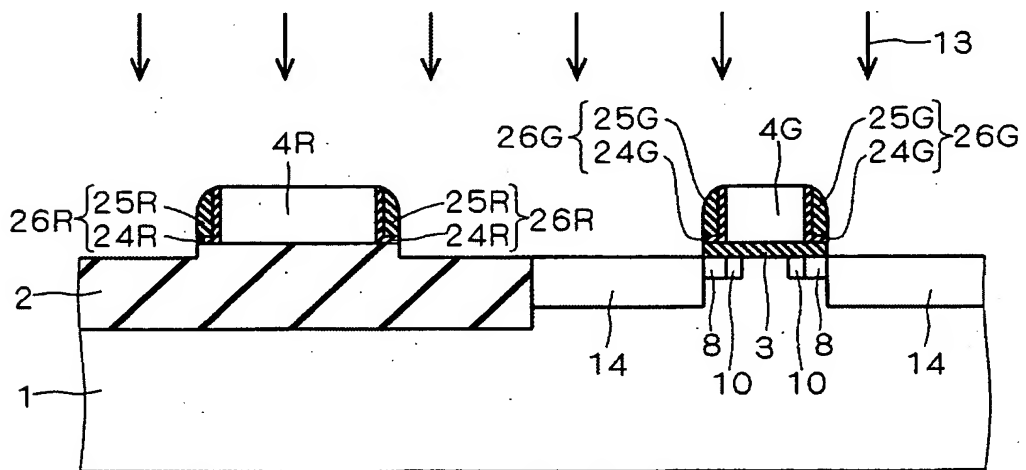
【図 2 1】



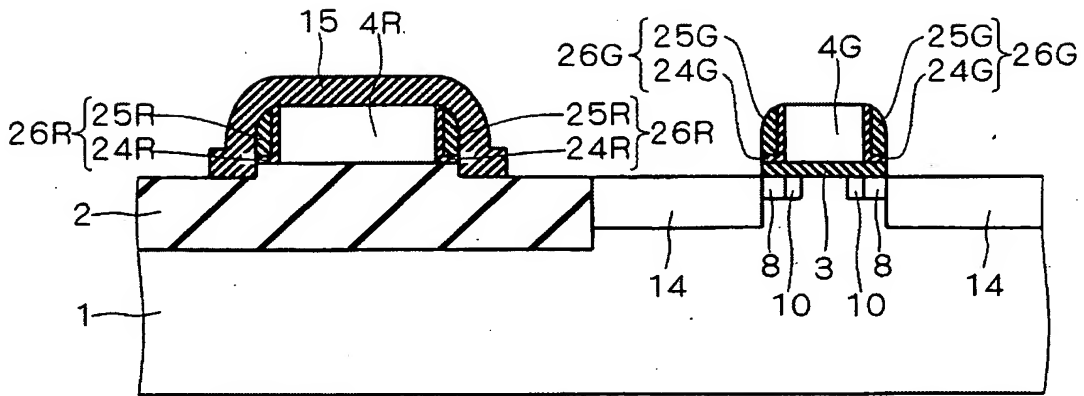
【図 2 2】



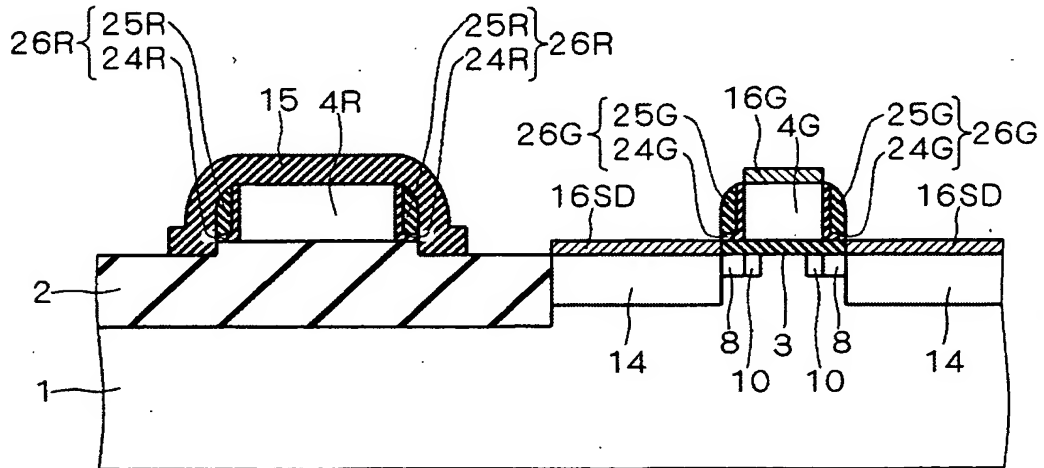
【図 2 3】



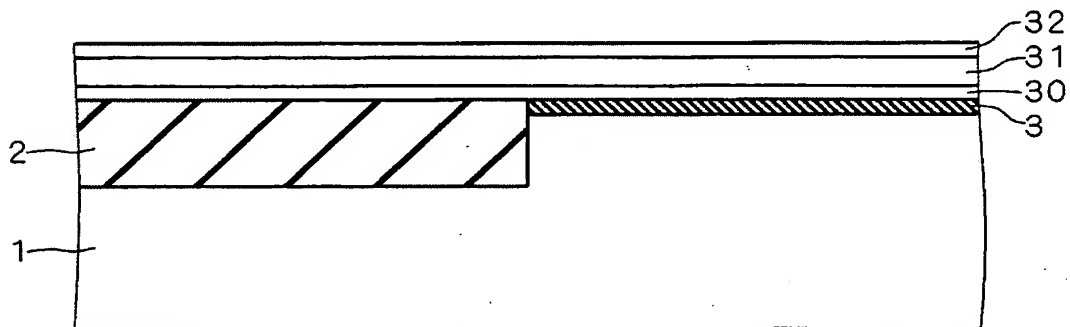
【図 24】



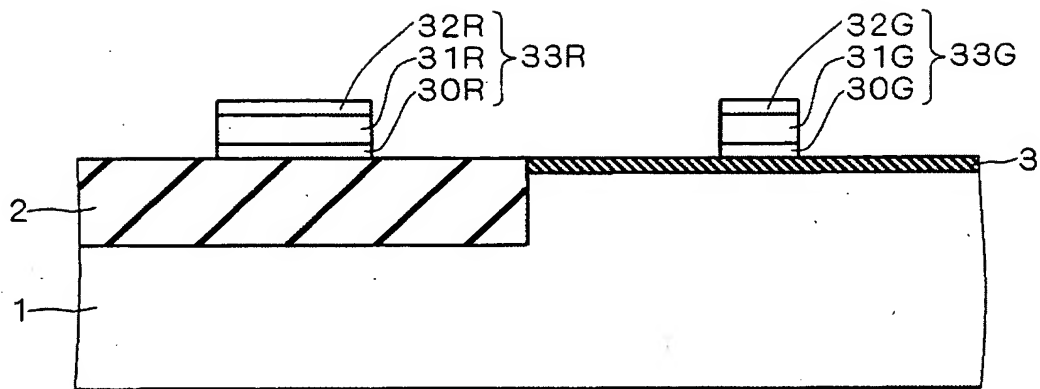
【図 25】



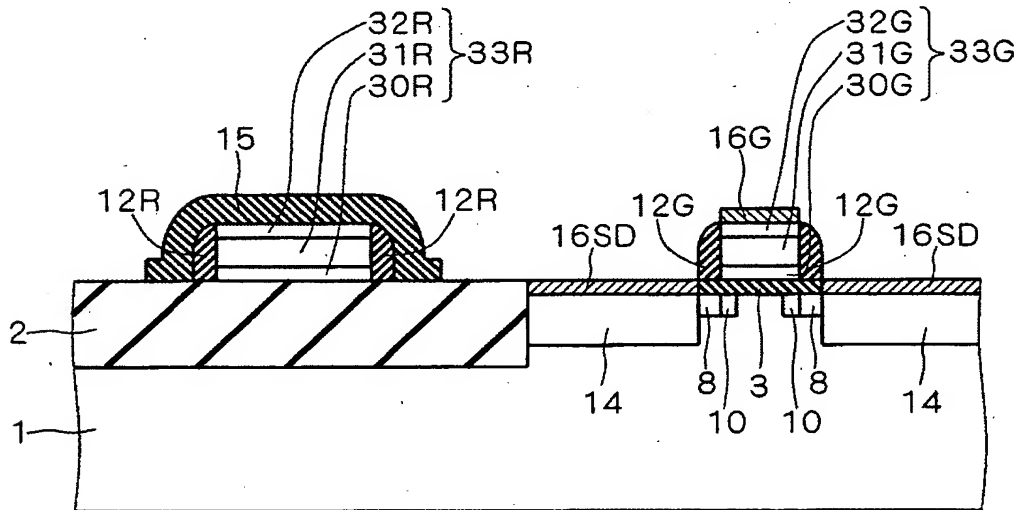
【図 26】



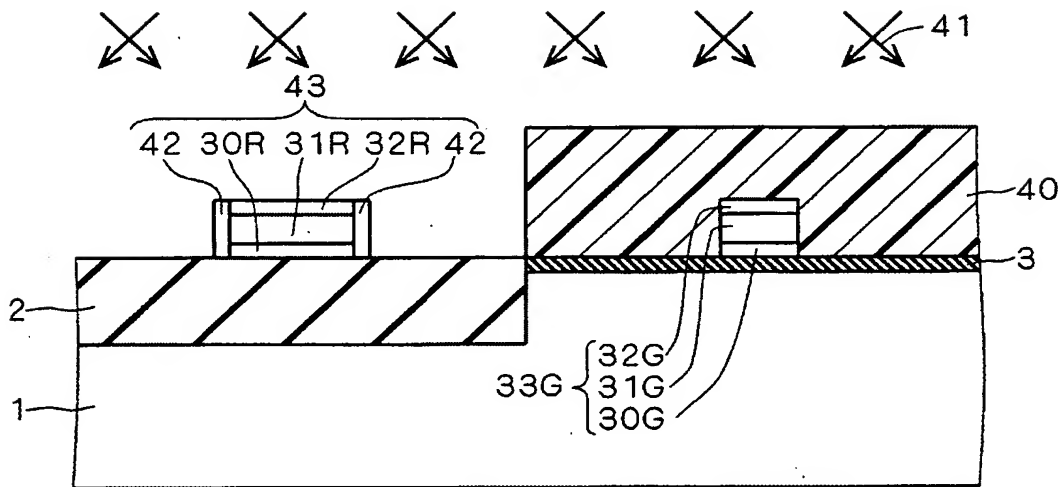
【図 27】



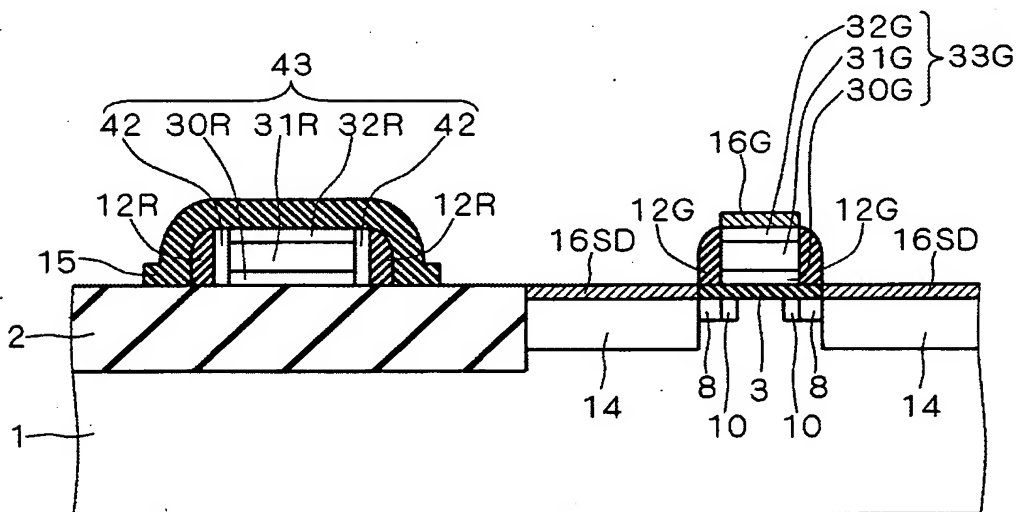
【図 28】



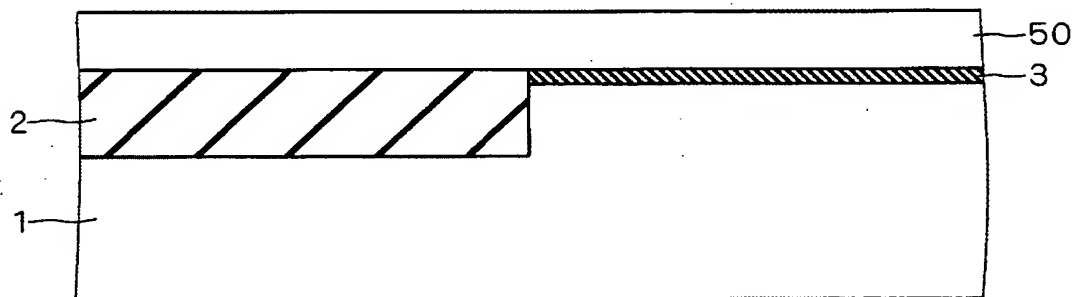
【图 29】



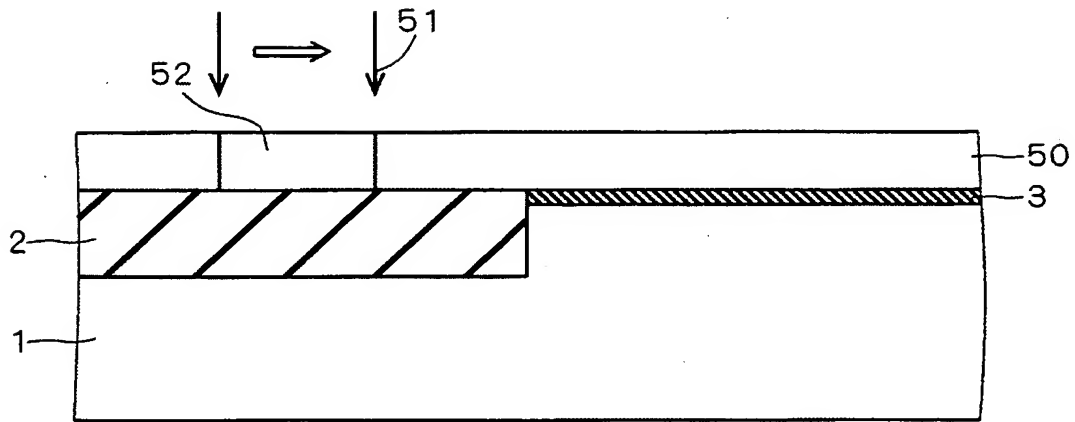
【図 30】



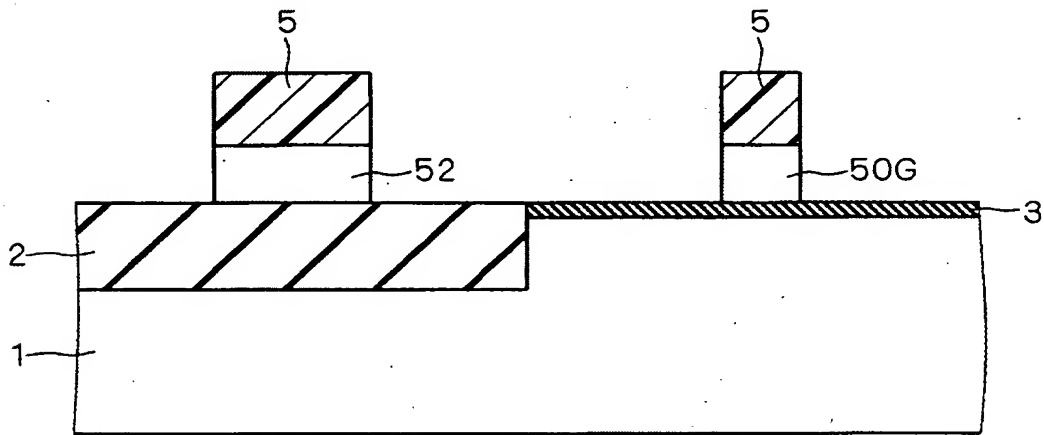
【図 3 1】



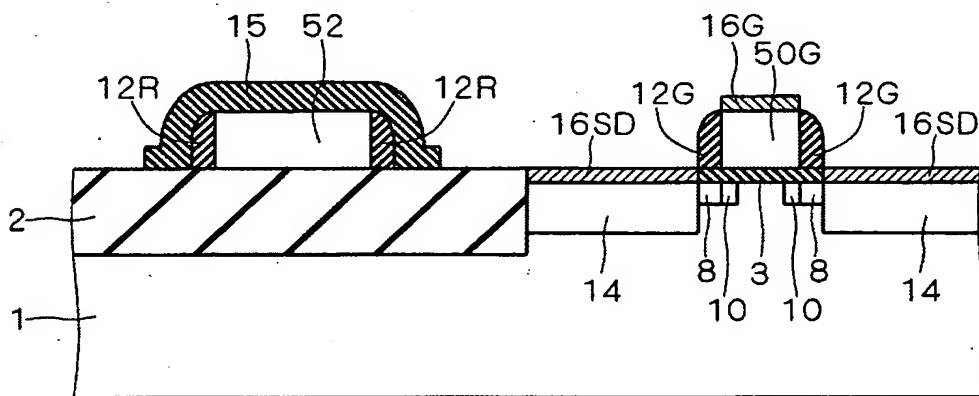
【図 3 2】



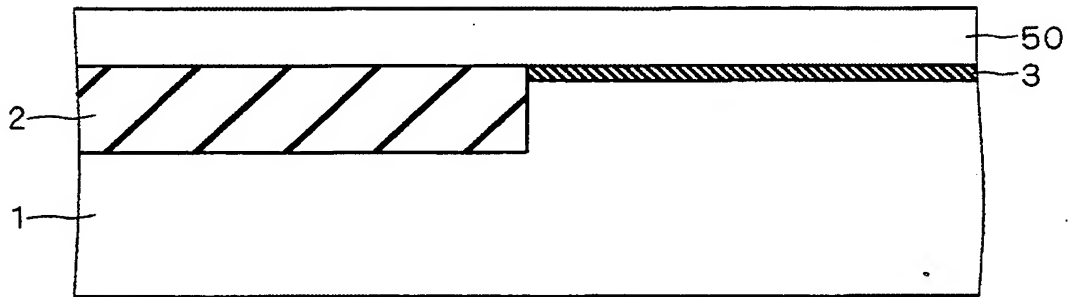
【図 3 3】



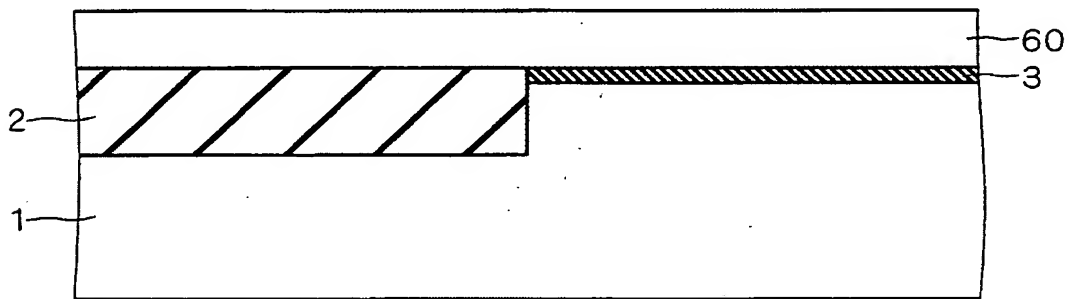
【図 3 4】



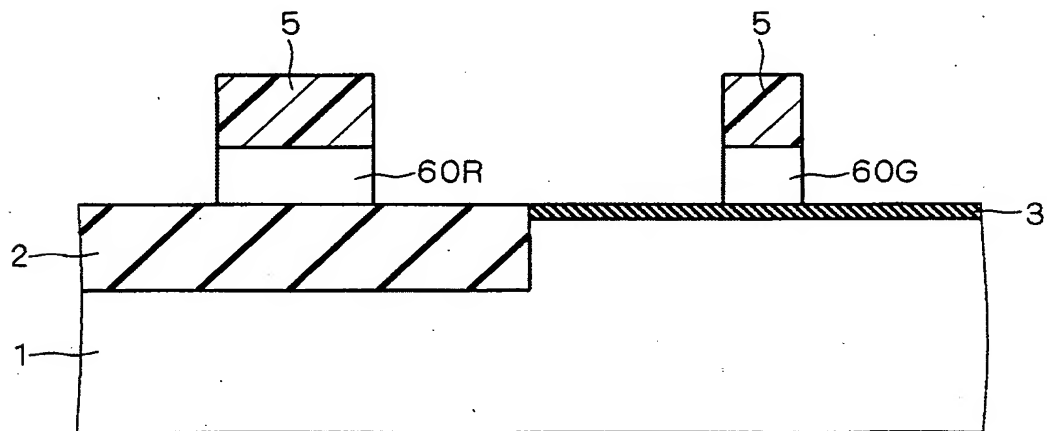
【図 3 5】



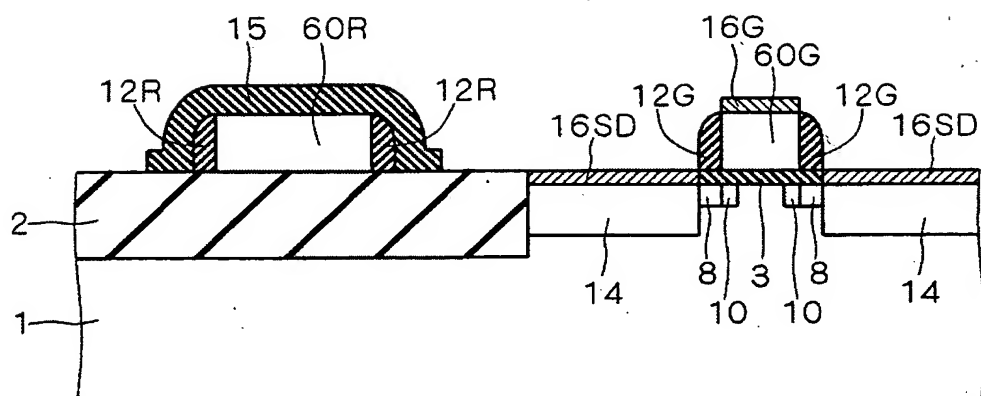
【図 3 6】



【図 3 7】



【図 3 8】





【書類名】            要約書

【要約】

【課題】    抵抗素子の抵抗値を高精度に設定することが可能な、半導体装置の製造方法を得る。

【解決手段】    フォトレジスト 6 は、抵抗素子として機能するポリシリコン膜 4 R の上面及び側面を覆って、素子分離絶縁膜 2 上に形成されている。フォトレジスト 6 を注入マスクとして用いて、シリコン基板 1 の上面に対してほぼ垂直な方向から、リン等の n 型の不純物 7 をイオン注入する。ドーズ量は、 $10^{13}/\text{cm}^2$  のオーダーである。これにより、トランジスタ形成領域内におけるシリコン基板 1 の上面内に、MOSFET の LDD 領域 8 が形成される。不純物 7 は、ポリシリコン膜 4 G 内にも注入される。一方、ポリシリコン膜 4 R はフォトレジスト 6 によって覆われているため、不純物 7 はポリシリコン膜 4 R 内には注入されない。

【選択図】            図 5

出 願 人 履 歴 情 報

識別番号 [503121103]

1. 変更年月日 2003年 4月 1日  
[変更理由] 新規登録  
住 所 東京都千代田区丸の内二丁目4番1号  
氏 名 株式会社ルネサステクノロジ